

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-171529

(43) Date of publication of application : 23.06.2000

(51) Int. Cl. G01R 31/28
G01R 31/26

(21) Application number : 11-341687 (71) Applicant : AGILENT TECHNOLOG INC

(22) Date of filing : 01. 12. 1999 (72) Inventor : O' NEILL PETER M
JOHANSEN VICTOR
MAXWELL PETER

(30) Priority

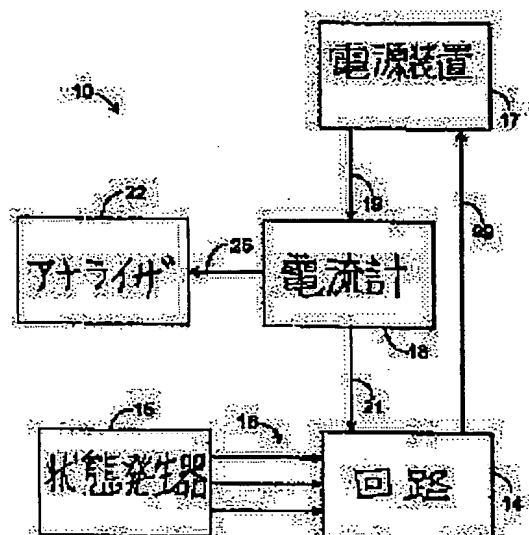
Priority	98 203295	Priority	01. 12. 1998	Priority	US
number :		date :		country :	

(54) CIRCUIT DEFECT-DETECTING SYSTEM AND METHOD FOR DETECTING CIRCUIT DEFECT

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain simple IDDQ (static current)-testing apparatus and test method by utilizing a single threshold test.

SOLUTION: A source current is supplied by a power device 17 to a circuit 14 to be tested in a circuit defect-detecting system 10. A first signal and a second signal respectively indicating a first value and a second value of the source current are measured and output by an ammeter 18. The first and second signals are input to an analyzer 22, and a threshold is determined on the basis of the first signal. The second signal and the threshold are compared with each other, based on which whether the circuit 14 to be detected includes a defect is judged.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-171529

(P2000-171529A)

(43)公開日 平成12年6月23日(2000.6.23)

(51)Int.Cl.

識別記号

F I

テマコード(参考)

G 0 1 R 31/28

G 0 1 R 31/28

D

31/26

31/26

G

審査請求 未請求 請求項の数1 OL (全 10 頁)

(21)出願番号 特願平11-341687

(22)出願日 平成11年12月1日(1999.12.1)

(31)優先権主張番号 2 0 3 2 9 5

(32)優先日 平成10年12月1日(1998.12.1)

(33)優先権主張国 米国 (U S)

(71)出願人 399117121

アジレント・テクノロジーズ・インク

AGILENT TECHNOLOGIE
S, INC.

アメリカ合衆国カリフォルニア州パロアル
ト ページ・ミル・ロード 395

(72)発明者 ベター・エム・オネイル

アメリカ合衆国コロラド州フォートコリン
ズ ホエラーズ・ウェイ 906

(74)代理人 100105913

弁理士 加藤 公久

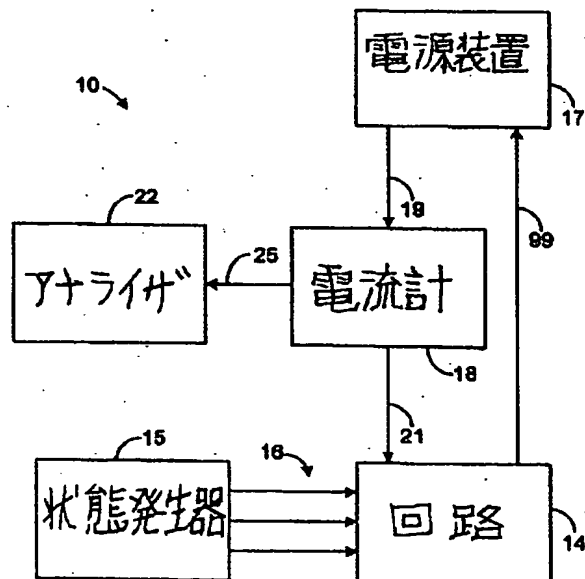
最終頁に続く

(54)【発明の名称】 回路欠陥検出システム及び回路欠陥検出方法

(57)【要約】

【課題】単一しきい値試験を利用して、簡易なIDDQ試験装置と試験方法とを提供する。

【解決手段】本発明の回路欠陥検出システム(10)では、被試験回路(14)は電源装置(17)により電源電流が供給される。前記電源電流の第1の値と第2の値を示す第1の信号と第2の信号とが電流計(18)により測定出力される。前記第1と第2の信号とはアナライザ(22)に入力され、前記第1の信号に基づいてしきい値を決定し、前記第2の信号と前記しきい値とを比較して、前記第2の信号と前記しきい値の比較に基づき、前記回路(14)に欠陥があるか否かを判定する。



【特許請求の範囲】

【請求項1】 回路内の欠陥を検出するためのシステムであって、

回路と、

前記回路に電源電流を供給する電源装置と、

前記電源電流を入力し、それぞれ、前記電源電流の第1の値と第2の値を示す第1の信号と第2の信号とを出力する電流計と、

前記第1と第2の信号とを受信して、前記第1の信号に基づいてしきい値を決定し、前記第2の信号と前記しきい値を比較して、前記第2の信号と前記しきい値の比較に基づき、前記回路に欠陥があるか否かを判定するアナライザとが含まれている、

回路欠陥検出システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、一般に、静止電流試験に関するものであり、とりわけ、複数静止状態における回路で流れる電源電流を測定し、特性を明らかにすることによって、相補型金属酸化膜シリコン(CMOS)回路内における欠陥を検出するためのシステム及び方法に関するものである。

【0002】

【従来の技術】 理想の相補型金属酸化膜シリコン(CMOS)集積回路は、回路がスタンバイ状態または静止状態にある場合、ごくわずかな量の電流を導通している。従って、CMOS回路は、スイッチング状態にない場合、少量の静止電流だけしか導通しないことが望ましい。一般に「 I_{DDQ} 」と称される静止電流は、主として漏洩電流から構成される。欠陥のある回路には、欠陥のない回路に比べてかなり大量の静止電流が流れる可能性がある。

【0003】 典型的な I_{DDQ} 試験には、回路に流れる I_{DDQ} がそれを超えると、被試験回路が不合格になる、 I_{DDQ} のしきい値の設定が含まれる。これに関して、入力ベクトルによって、回路ノードが所定の状態に駆動され、回路ノードが該所定の状態に保持されている間に、 I_{DDQ} が測定される。 I_{DDQ} 試験は、単一状態で実施することもできるし、あるいは、さまざまな状態を試験するため、多くの異なる入力試験ベクトルを切り替えて行うことも可能である。入力試験ベクトルは、自動試験・パターン生成(ATPG)ソフトウェア・ツールまたは集積回路設計者によって生成することが可能である。

【0004】 I_{DDQ} 試験の難点の1つは、しきい値の設定である。入力試験ベクトルに関して I_{DDQ} のしきい値を超える電流が流れる回路は、欠陥があると宣言される。 I_{DDQ} のしきい値未満の電流が流れる回路は、欠陥がないとみなされる。しきい値の設定が高すぎると、欠陥を含む回路が、欠陥がないとみなされる可能性がある。しきい値が低すぎると、欠陥のない回路が、 I_{DDQ}

試験に不合格になる可能性がある。これによって、欠陥がないと考えられる回路のコストが上昇する。従って、 I_{DDQ} のしきい値の決定には、通常、 I_{DDQ} 試験に合格する回路の質とコストの間でトレード・オフが必要とされる。

【0005】 速度及び密度を増し、コストを低下させるため、CMOS回路のスケールが次第に縮小されるにつれて、CMOS回路に流れるバックグラウンド電流が増大する。当該技術において既知のように、 I_{DDQ} は、2つの成分、すなわち、(1) 回路内の欠陥のために回路に流れる電流である欠陥電流、及び(2) I_{DDQ} から欠陥電流を引いたバックグラウンド電流から構成される。CMOS回路要素のスケールは、バックグラウンド電流の大きさが欠陥電流に匹敵するか、あるいは、それを超えるレベルにまで達している。従って、 I_{DDQ} の変動が、バックグラウンド電流によるものか、あるいは、欠陥によるものであるかを判定するのがさらに困難になっており、このため、どの回路に欠陥があるかを識別するプロセスが達成不能になる。

【0006】 電気回路の組立プロセスの変動によって、 I_{DDQ} のしきい値の決定はさらに複雑になる。プロセス変動は、同じ回路設計による個々の回路間に存在する差である。プロセス変動は、回路に流れる静止電流に影響する可能性がある。例えば、同じ設計の2つの集積回路間におけるプロセス変動のために、同じ入力試験ベクトル・セットに関して、これら2つの回路に、異なる I_{DDQ} 値の電流が流れる可能性がある。

【0007】 Gattiker 及び Maly は A. E. Gattiker and W. Maly, "Current Signatures", Proc. VLSI Test Symposium, pp. 112-117, 1996 において、しきい値選択問題のいくつかを解決する方法を提案している。従来、回路試験は、回路が I_{DDQ} 試験で不合格になると直ちに終了していた。Gattiker 及び Maly は、入力試験ベクトルの完全セットに関して I_{DDQ} 値を測定するように提案している。入力試験ベクトルの完全セットには、被試験回路内の回路要素の機能を完全に発揮させるのに十分な試験ベクトルが含まれている。 I_{DDQ} の測定値から、電流シグネチャが生成される。電流シグネチャは、最小値から最大値まで順序づけて配列した I_{DDQ} のからなる。Gattiker 及び Maly の主張によれば、測定値の大きさは、電流シグネチャのプロットの形状ほど重要ではない。電流シグネチャのプロットに大きな急変がなければ、その回路は、欠陥がないと認定される。電流シグネチャのプロットに、かなりの急変または不連続部分が含まれる場合、その回路は欠陥があると認定される。

【0008】 Gattiker 及び Maly によって提案された I_{DDQ} シグネチャの概念は、 I_{DDQ} 試験解析における重要な知見である。しかし、これらの概念は、今日

の集積回路製造環境に直接導入することはできない。Gattiker及びMalyのIDDQシグネチャ概念を利用した試験方法では、被試験集積回路に印加される入力ベクトルの設定と各入力ベクトルに対して結果生じるIDDQの測定値との完全セットを用意する必要がある。入力ベクトル設定の完全セットについてIDDQ値を決定するのは、回路製造環境において、妥当なコストで実施するには時間がかかりすぎる。

【0009】

【発明が解決しようとする課題】本発明の目的は、単一しきい値試験を利用して、現在のIDDQ試験方法の限界を克服するIDDQを試験するためのシステム及び方法を提供することにある。本発明のさらにもう1つの目的は、IDDQの測定値の過剰な記憶及び解析を不要にすることによって、既存の回路製造環境に簡単に導入されるIDDQの試験方法を提供することにある。

【0010】

【課題を解決するための手段】本発明によれば、本明細書に解説された先行技術の弱点及び欠点が克服される。本発明によれば、静止電流の解析によって電気回路の欠陥を検出するシステム及び方法が得られる。

【0011】簡単にいえば、本発明では、回路、電源装置、電流計、及び、アナライザを利用する。電源装置は、回路に接続され、電源電流を回路に送る。電流計は、電源電流を測定し、それぞれ、電源電流の第1の値と第2の値を表わす第1の信号と第2の信号とを伝送する。アナライザは、第1の試験信号値を受信し、第1の試験信号値に基づいてしきい値を決定する。次に、アナライザは、第2の信号を受信し、第2の信号としきい値の比較を行う。アナライザは、第2の信号としきい値の比較に基づいて、欠陥が検出されるか否かを判定する。

【0012】本発明のもう1つの特徴によれば、アナライザは、第1の信号に基づいて、第2のしきい値も決定する。アナライザは、さらに、第2の信号と第2のしきい値を比較して、欠陥が検出されるか否かを判定することができる。

【0013】本発明のもう1つの特徴によれば、アナライザは、所定の定数に基づいてしきい値の計算を行う。所定の定数を決定するため、複数の状態及び複数の回路に関する電源電流値を示す信号値が、測定される。次に、信号の選択された値を図示して、回路の電流シグネチャがプロットされる。次に、回帰を利用して、プロットから「異常点値」を除去し、プロットした点に曲線または直線を当てはめる。次に、当てはめられた曲線または直線から、所定の定数が決定され、アナライザは、所定の定数を利用して、被試験回路のそれぞれに関するしきい値を決定する。

【0014】本発明は、回路内の欠陥を検出するための方法を提供するものとみなすことも可能である。要するに、この方法は、一般に、回路を設けるステップと、回

路が第1の状態の場合、回路に関連した電源電流の値を測定するステップと、測定ステップにおいて測定された電源電流の値に基づいてしきい値を決定するステップと、回路が第2の状態の場合、電源電流のもう1つの値を示す信号を受信するステップと、信号としきい値を比較するステップと、比較ステップに基づいて回路内の欠陥を検出するステップによって概念化することが可能である。

【0015】本発明には、多くの利点があり、次に、そのいくつかについて、単なる例示として示すことにする。

【0016】本発明の利点は、回路に関連した静止電流としきい値を比較することによって、回路の欠陥を検出することができるという点である。これらの比較は、静止電流の値を決定することなく実施可能であり、このため、比較が比較的速く行えるようになる。

【0017】本発明のもう1つの利点は、静止電流試験に関連したコストを大幅に低減することが可能という点である。

【0018】本発明のもう1つの利点は、回路の静止電流と各回路毎に独自に計算されるしきい値を比較することによって、静止電流の試験を実施することができるという点である。従って、バックグラウンド電流における揺らぎの影響が低減する。

【0019】本発明の他の特徴及び利点については、当該技術者であれば、添付の図面に関連づけて読めば、下記の詳細な説明を検討することによって明らかになるであろう。こうした全ての特徴及び利点は、請求項によって定義される本発明の範囲内に含まれるものとする。

【0020】

【発明の実施の形態】一般に、本発明によれば、電気回路内の欠陥を検出するための試験システム及び方法が得られる。これに関して、回路の静止電流（IDDQ）の上方しきい値と下方しきい値が決定され、複数の状態における回路に関するIDDQ値を示す信号が、上方及び下方しきい値と比較される。該信号が、上方しきい値を超える値または下方しきい値未満となる値になると、欠陥が検出される。

【0021】図1には、本発明の望ましい実施例による試験システム10が示されている。システム10には、欠陥について試験される、相補型金属酸化膜シリコン（CMOS）集積回路などの回路14が含まれている。回路14の状態は、接続16を介して回路14に入力信号を伝送する状態発生器15によって制御される。当該技術において既知のように、入力信号の値は、回路14を異なる状態に遷移させるように調整することが可能である。接続16の数は、被試験状態数に応じて変更可能である。

【0022】電源装置17は、接続19を介して電流計18に電源電流を送るように設計されている。電流計1

8は、接続21を介して回路14に電源電流を送り、接続25を介してアナライザ22に試験信号を電源するように設計されている。電流計18は、電源装置17に組み込むこともできるし、あるいは、独立構成にすることも可能である。電流計18によってアナライザに伝送される試験信号は、 I_{DDQ} (回路14が静止状態の場合に、接続25を介して回路14に送られる電源電流である)の値を表わす。例えば、望ましい実施例の場合、電流計18は、接続19及び21を介して回路14に送られる電源電流に比例した電圧信号が接続25において生じるように設計されている。ただし、試験信号は、 I_{DDQ} の値を表す限りにおいて、他のタイプの信号とすることも可能である。例えば、試験信号は、 I_{DDQ} の電流値に整合または一致する電流値を備えた電流信号とすることも可能である。また、試験信号は、 I_{DDQ} の電流値に対応するデジタル値を備えたデジタル信号とすることも可能である。

【0023】アナライザ22は、試験信号を受信し、試験信号に基づいて回路の欠陥を検出するように設計されている。アナライザ22は、ソフトウェア、ハードウェア、または、その組み合わせによって実施することが可能である。図2に例示されている、望ましい実施例の場合、アナライザ22は、ソフトウェアで実施され、コンピュータ・システム31のメモリ30に記憶されている。

【0024】アナライザ22は、コンピュータ・ベースのシステム、プロセッサを含むシステムのように命令実行システム、装置、または、デバイス、あるいは、命令実行システム、装置、または、デバイスから命令を取り出して、その命令を実行することが可能な他のシステムによって、または、それらに関連して用いられる、任意のコンピュータ読み取り可能媒体に記憶され、あるいは、転送されることが可能であるという点に留意されたい。本明細書に関して、「コンピュータ読み取り可能媒体」は、命令実行システム、装置、または、デバイスによって、または、それらに関連して用いられるプログラムを格納し、記憶し、通信し、伝搬し、または、転送することが可能な任意の手段とすることが可能である。コンピュータ読み取り可能媒体は、例えば、ただしそれに制限されるわけではないが、電子、磁気、光学、電磁、赤外線、または、半導体システム、装置、デバイス、または、伝搬媒体とすることが可能である。コンピュータ読み取り可能媒体のさらに特定の例(非網羅的リスト)には、1つ以上のワイヤを備えた電気接続(電子的)、携帯用コンピュータ・ディスク(磁氣的)、ランダム・アクセス・メモリ(RAM)(磁氣的)、読み取り専用メモリ(ROM)(磁氣的)、消去可能プログラム読み取り専用メモリ(EPROMまたはフラッシュ・メモリ)(磁氣的)、光ファイバ(光学的)、及び、携帯用コンパクト・ディスク読み取り専用メモリ(CD

ROM)(光学的)が含まれるであろう。コンピュータ読み取り可能媒体は、例えば、紙または他の媒体を光学走査すれば、プログラムを電子的に捕捉し、さらに、コンパイルして、解釈するか、または、必要があれば、適合するやり方で別様の処理を加えることができるので、プログラムを印刷した紙または別の適合する媒体とすることさえ可能であるという点に留意されたい。一例として、アナライザ22は、従来の携帯用コンピュータ・ディスクに磁氣的に記憶し、転送することが可能である。

【0025】図2のコンピュータ・システム31の望ましい実施例には、1つ以上のバスを含むことが可能な局所インターフェイス33を介して、コンピュータ・システム31内の他の要素と通信を行い、駆動するデジタル信号プロセッサ(DSP)のような、1つ以上の従来の処理要素32が含まれている。さらに、例えば、キーボードまたはマウスのような入力装置34を利用して、コンピュータ・システム31のユーザからデータを入力することが可能であり、スクリーン・ディスプレイ35またはプリンタ36を利用して、ユーザにデータを出力することが可能である。ディスク記憶機構37を局所インターフェイス33に接続して、不揮発性ディスク(例えば、磁氣的、光学的等)との間でデータのやり取りを行うことも可能である。さらに、試験信号インターフェイス39が、接続25(図1)から試験信号を受信し、試験信号と局所インターフェイス33とのインターフェイスをとる。留意すべきは、入力装置34、ディスプレイ35、プリンタ36、及び、ディスク37は、オプションであり、望ましい実施例の一部をなすものではないが、他の実施例にこれらの機構を含むことが可能である。

【0026】さらに詳細に後述するアナライザ22は、試験信号の上方しきい値と下方しきい値を計算するか、または、別様に決定するように構成されている。アナライザ22は、さらに、試験信号と上方しきい値及び下方しきい値を比較して、試験信号が上方しきい値を超えるか、または、下方しきい値未満の場合には、回路22に欠陥があると判定するように設計されている。

【0027】アナライザ22は、所定の公式を利用して、上方しきい値及び下方しきい値を計算するのが望ましい。望ましい実施例の場合、この所定の公式は、直線方程式でモデル化される。これに関して、アナライザ22が利用する公式は、次の通りである：

$$I_{DDQ, \max} = m \times I_{DDQ, \min} + b \quad \text{式(1)}$$

ここで、 $I_{DDQ, \max}$ は、欠陥のない状態における回路14に関する最大測定試験信号値であり、 $I_{DDQ, \min}$ は、欠陥のない状態における回路14に関する最小測定試験信号値であり、 m は、所定の定数であり、 b は、所定の定数である。これらの値は、第1の回路14の試験前に決定されるので、所定の値である。これらの値の決定に

ついては、動作の説明をおこなう後節においてさらに詳細に述べる。

【0028】上方しきい値は、 $I_{DDQ, max}$ に「異常点マージン値」を加えた値と定義するのが望ましく、下方しきい値は、 $I_{DDQ, min}$ の値から「異常点マージン値」を引いた値と定義するのが望ましい。しきい値の計算における「異常点マージン値」の加算及び減算によって、 I_{DDQ} のわずかな変動の発生が許されることになり、そのわずかな変動が欠陥から生じたものでない場合に、誤って回路14に欠陥があると宣言することがなくなる。換言すれば、「異常点マージン値」の加算及び減算によって、回路の欠陥ではなく、測定の不正確さ及び／またはプロセス変動に起因すると考えられるわずかな変動の発生が許されることになる。望ましい実施例における「異常点マージン値」は、回帰の残余の標準偏差の3倍であるが、他の値に設定することも可能である。「異常点マージン値」の計算及び回帰の実施については、さらに詳細に後述する。

【0029】 $I_{DDQ, max}$ 、 $I_{DDQ, min}$ 、及び、「異常点マージン値」が決定されると、アナライザ22は、上方しきい値と下方しきい値を計算するように構成されている。アナライザ22は、さらに、上方しきい値及び下方しきい値と接続25で伝送される試験信号を比較して、回路14内の欠陥を検出するように設計されている。

【0030】動作の説明：以下では、試験システム10の望ましい利用及び動作と、関連する方法論について述べることにする。

【0031】回路14の試験前に、回路14の挙動をモデル化して、「異常点マージン値」及び方程式(1)の m 及び b の値が決定される。これに関して、複数の回路14（各回路14は、同じ設計を施されている）の試験信号値が、図3Aのブロック52及び55によって示すように、各回路14の複数の状態で測定される。図4には、回路14の1つに関する電流シグネチャが示されている。一般に、電流シグネチャは、回路14の電流対状態を表した曲線の形状であるか、または、曲線の形状を表す任意の試験信号値集合である。図4における複数の回路14からの試験信号の測定及び図示によって、ある製造（すなわち、プロセス）変動範囲にわたる I_{DDQ} の挙動に関する特性が明らかになる。各回路14毎に測定される状態数は変更可能である。

【0032】測定される状態の任意の1つにおいて、各回路14毎に測定された最大試験信号値は、図5、及び、図3Aのブロック57及び61によって示されるように、測定される状態の任意の1つにおいて、各回路14毎に測定された最小試験信号値と対比して作図するのが望ましい。換言すれば、図5の各ドットは、単一回路14に関して任意の状態に測定された最大試験信号値対単一回路14に関して任意の状態に測定された最小試験信号値を表している。例えば、図4に示すデータを利用

して、状態9における試験信号値対状態14における試験信号値によって、図5における1つのドットが構成される。

【0033】図5のグラフを利用して、ブロック64の「異常点マージン値」を決定するのが望ましい。「異常点マージン値」は、図5に示す点の回帰残余の標準偏差の3倍が望ましい。標準偏差は、当該技術において周知の技法によって計算することが可能である。望ましい実施例の場合、標準的偏差は、反復線形回帰を実施する

10 （各反復毎に異常点を除去する）ことによって計算されるが、非線形回帰を利用することも可能である。当該技術において既知のように、異常点は、母集団の分布外の点として定義される。残りの全ての残余が単一母集団からのものであると判定されると、回帰の反復は、終了または停止される。こうした回帰技法は、当該技術において周知のところである。

【0034】例示のため、図5の点41が、グラフの他の点からのそれぞれの位置のゆえに異常点と判定されるものと仮定する。点41は、点41に関連した回路14
20 に流れる I_{DDQ} 値の測定における欠陥及び／またはエラーのために、グラフの大部分の点によって形成された直線からかなり離れた位置につくことになりそうである。点41は、異常点と識別され、従って、回帰中に除去されるので、図6のグラフが得られる。異常点が全て除去され、線形回帰が完了すると、回路の欠陥のない挙動を最もよく表した m 及び n の値を求めることが可能になる。これに関して、 m は、当てはめられた直線の勾配（すなわち、 $\Delta Y / \Delta X$ ）であり、 b は、当てはめられた直線の y 切片である。留意すべきは、他の技法を用いて、異常点を除去し、曲線または直線を図6のサンプル
30 点に当てはめることができるという点である。

【0035】「異常点マージン値」及び m 及び b の値の計算が済むと、これらの値は、コンピュータ・システム31（図2）のメモリ30に記憶される。次に、図1に示す回路14に対する入力、状態発生器16によって、回路14を最小 I_{DDQ} 状態にするように設定される。最小 I_{DDQ} 状態は、図3Aのブロック67において選択され、図6を得るために測定される複数の回路14に、ブロック69において決定される最小 I_{DDQ} 値の電
40 流が流れる状態である。最小 I_{DDQ} 値は、回路14毎に異なるが、最小 I_{DDQ} 値が生じる状態は一定しているべきである。この状態が、最小 I_{DDQ} 状態である。例えば、図4の場合、状態14が I_{DDQ} の最低測定値に相当するので、最小 I_{DDQ} 状態は状態14である。

【0036】留意すべきは、プロセス変動及び／または他の要因のため、各回路14の同じ状態によって、回路14の最小 I_{DDQ} が得られない可能性があるという点である。本発明の目的にとっては、最小 I_{DDQ} 状態として選択された状態において、かなりの数の回路14によ
50 て最小 I_{DDQ} が生じるだけで十分である。さらに、複数

状態によって、最小 I_{DDQ} 値が生じる可能性がある。この状況において、最小 I_{DDQ} 値または最小 I_{DDQ} 値に近い値を生じる状態の任意の1つを、最小 I_{DDQ} 状態として選択することが可能である。

【0037】特定の回路14を試験すべき場合、状態発生器15は、接続16に回路を最小 I_{DDQ} 状態にする値を送り出す。次に、アナライザ22が、接続25の試験信号を読み取り、図3Bのブロック72及び75で示すように、最小 I_{DDQ} 状態における試験信号の値を求める。試験信号のこの値は、方程式(1)の $I_{DDQ, min}$ である。次に、アナライザ22は、ブロック77において回路14に関する上方しきい値と下方しきい値を計算する。これに関して、アナライザ22は、 $I_{DDQ, mi}$ から「異常点マージン値」を引いて、下方しきい値を求める。次に、アナライザ22には、今や、 $I_{DDQ, min}$ 、 b 、及び、 m が既知の値である、方程式(1)によって $I_{DDQ, max}$ を求める。アナライザ22は、 $I_{DDQ, max}$ に「異常点マージン値」を加えて、上方しきい値を求める。

【0038】次に、回路14の状態が、図3Bのブロック81において、信号発生器15からの入力によって、任意の望ましい試験状態に変化する。アナライザ22は、ブロック83及び85によって示されるように、電流計18によって現在発生した試験信号と上方及び下方しきい値を比較する。アナライザ22は、試験信号が、上方しきい値を超えるか、または、試験信号が、下方しきい値未満の場合、ブロック88において欠陥を検出する。試験信号が、上方しきい値未満で、下方しきい値を超える場合、欠陥は検出されない。欠陥が検出されると、アナライザ22は、図3Bのブロック91によって示されるように、欠陥が発見されたことを、ディスプレイ35またはプリンタ36(図2)を介して表示することが望ましい。さらに、従来の製造技法に従って、欠陥回路は、欠陥があるとしてマーキングを施すか、または、欠陥があると判定されなかった他の回路から分離するのが望ましい。

【0039】留意すべきは、ある信号が別の信号を超えるか否かを判定する技術には、多くのハードウェア・コンパレータが存在するという点である。所望の場合、アナライザ22は、試験信号がしきい値を超えるか否かを判定するため、こうしたコンパレータを含むか、または、用いることが可能である。これに関して、アナライザ22は、アナログ信号をコンパレータに送ることが望ましい。このアナログ信号は、しきい値の1つの値に比例した電圧または電流値を備えている。従って、コンパレータは、当該技術において既知の技法によって、試験信号またはしきい値の実際の値を知らなくても、あるいは、前記値が分からなくても、しきい値に相当する信号が試験信号を超えるか否かを判定することができる。しかし、留意すべきは、ソフトウェア、または、ハードウ

エアとソフトウェアの組み合わせによって比較を行うことも可能であるという点である。

【0040】欠陥が現在の状態で検出されるか否かの判定が済むと、回路14の状態は、状態発生器15によって変化し、この新たな状態における試験信号が、再び、欠陥の有無について試験される。図3Bのブロック94に示されるように、このプロセスは、所望の数の状態が試験されるまで、または、欠陥が検出されるまで続行される。どの状態においても、欠陥が検出されない場合、アナライザ22は、回路に欠陥がないと判定する。しかし、状態のどれかに欠陥が検出されると(または、代替案では、所定の数の状態で欠陥が検出されると)、アナライザ22は、回路14に欠陥があると判定する。

【0041】試験信号と上方及び下方しきい値の比較において、実際に試験信号の値を求める必要がないという点に留意されたい。試験信号がしきい値を超えるか、または、しきい値未満であるかの判定が必要とされるだけである。こうした判定の実施は、試験信号の値を求めるよりもはるかに迅速である。従って、アナライザ22によって、比較的短時間で、多数の状態を試験することが可能になり、この結果、実行可能な多数の状態について、 I_{DDQ} 試験が実施されることになる。

【0042】アナライザ22による回路14の試験が済むと、図3Bのブロック97及び72に示すように、その回路14が、新たな回路14に入れ替えられる。新たな回路14が、もとの回路14と同じ設計である限り、同じ値の「異常点マージン値」と、 m 及び b 値を新たな回路14の試験に用いることが可能である。しかし、 $I_{DDQ, min}$ 及び $I_{DDQ, max}$ の新たな値は、最小 I_{DDQ} 状態における新たな回路14に関する試験信号値に基づいて計算すべきである。従って、新たな回路14の新たなしきい値は、やはり、図3Bのブロック72、75、及び、77に示すように、 $I_{DDQ, min}$ 及び $I_{DDQ, max}$ の新たな値に基づいて計算すべきである。

【0043】留意すべきは、本発明は、上述の各回路14の設計が同じであると仮定しているという点である。これに関して、「異常点マージン値」と m 及び b 値に関して計算される値は、特定の回路設計にとって固有のものである。これらの値を導き出す場合、同じ設計の回路14だけを利用することが望ましい。

【0044】留意すべきは、欠陥は I_{DDQ} を増大させる傾向があるので、試験信号値と上方しきい値を比較するだけで、回路14の十分な試験が可能な場合もあり得るという点である。しかし、上方しきい値を計算する場合、本発明では、最小 I_{DDQ} 状態に欠陥は存在しないものと仮定しており、この状態において欠陥が存在する場合、上方しきい値と試験信号の比較だけでは、欠陥が検出されない可能性がある。しかし、上述のように、試験信号と下方しきい値を比較すれば、最小 I_{DDQ} 状態における欠陥を検出することが可能である。従って、試験信

号値としきい値のどちらか一方との比較だけしか行わないことも可能であるが、欠陥の検出確率を最大にするため、試験信号と上方及び下方しきい値の両方を比較するのが望ましい。

【0045】さらに、周知のように、大部分の回路14は、回路の設計、及び、その製造プロセスの仕様によって設定された I_{DDQ} の絶対最大値を備えている。従って、計算される最大しきい値は、回路14に関する絶対最大値を超える I_{DDQ} 値に一致してはならない。計算される最大しきい値が、回路14に関する絶対最大値を超える I_{DDQ} 値に一致する場合、回路14に関する絶対最大値に相当するしきい値を、計算される最大しきい値として利用すべきである。さらに、電流計18は、ノイズ及び他の測定誤りのために、絶対最小 I_{DDQ} 以上の値でしか、正確な測定値を得ることができない。従って、計算される最小しきい値は、この絶対最小値未満の I_{DDQ} 値に一致してはならない。計算される最小しきい値が、回路14に関する絶対最小値未満の I_{DDQ} 値に一致する場合、回路14に関する絶対最小値に相当するしきい値を、計算される最小しきい値として利用すべきである。

【0046】最後に留意すべきは、回路14が静止状態にある間に、電源装置17によって回路14に供給される電流と回路14から電源17に戻される電流のいずれかを利用して、試験信号を判定することができるという点である。当該技術において既知のように、回路は、電流を流すことが可能になる前に、完成しなければならない。従って、電源17が、接続19及び21を介して回路14に電流を供給している場合、電流を電源17に流入させる別の接続99が存在しなければならない。接続99は、「接地」接続と呼ばれることが多い。接続19を介して電源17から流出する電流と接続99を介して電源17に流入する電流は、両方とも、回路14に供給される電源電流の値を表しており、接続19及び99のいずれかに流れる電流は、試験信号の確定に用いることが可能である。従って、図1には、接続19と21の間に接続された電流計18が示されているが、代わりに、接続99に挿入することも可能である。

【0047】詳細な説明を終えるに当たって言及しておくべきは、当該技術者には明らかなように、本発明の原理をほとんど逸脱することなく、望ましい実施例に対して多くの変更及び修正を加えることが可能であるという点である。こうした変更及び修正は、全て、本発明の範囲内に含まれるものとする。以下において、本発明の広汎な実施可能性に鑑み、本発明の実施態様の一部を以下に例示する。

【0048】(実施態様1) 回路(14)内の欠陥を検出するためのシステム(10)であって、回路(14)と、前記回路(14)に電源電流を供給する電源装置(17)と、前記電源電流を入力し、それぞれ、前記電源電流の第1の値と第2の値を示す第1の信号と第2の

信号とを出力する電流計(18)と、前記第1と第2の信号とを受信して、前記第1の信号に基づいてしきい値を決定し、前記第2の信号と前記しきい値を比較して、前記第2の信号と前記しきい値の比較に基づき、前記回路(14)に欠陥があるか否かを判定するアナライザ(22)が含まれている、回路欠陥検出システム。

【0049】(実施態様2) 前記しきい値が前記回路(14)に固有であることを特徴とする、実施態様1に記載の回路欠陥検出システム(10)。

10 【0050】(実施態様3) 前記アナライザ(22)が、さらに、前記第2の信号が前記しきい値を超えると、前記回路(14)の欠陥を検出し、前記第1の信号に基づいて下方しきい値を決定し、前記第2の信号と前記下方しきい値を比較し、前記第2の信号が前記下方しきい値未満の場合、前記回路(14)に欠陥があると判定するように構成されていることを特徴とする、実施態様1に記載の回路欠陥検出システム(10)

【0051】(実施態様4) 回路内の欠陥を検出するための方法であって、回路(14)を設けるステップと、前記回路(14)が第1の状態の場合、前記回路(14)に関連した電源電流の値を測定するステップと、前記測定ステップにおいて測定された前記電源電流の前記値に基づいてしきい値を決定するステップと、前記回路(14)が第2の状態の場合、前記電源電流のもう1つの値を示す信号を受信するステップと、前記信号と前記しきい値を比較するステップと、前記比較ステップに基づいて前記回路(14)内の欠陥を検出するステップが含まれている、回路欠陥検出方法。

【0052】(実施態様5) さらに、前記測定ステップにおいて測定された前記電源電流の前記値に基づいて第2のしきい値を決定するステップと、前記信号と前記第2のしきい値を比較するステップが含まれていることを特徴とする、実施態様4に記載の回路欠陥検出方法。

【0053】(実施態様6) さらに、前記信号の値を決定するのをやめるステップが含まれることを特徴とする、実施態様4に記載の回路欠陥検出方法。

【0054】(実施態様7) さらに、複数の回路(14)を設けるステップと、複数の状態について前記複数の回路(14)に関連した電源電流の値を示す信号を受信するステップと、前記受信信号のいくつかを選択するステップと、前記選択した信号の値に基づいて定数値を決定するステップと、前記定数値を利用して、前記決定ステップにおいて前記しきい値を決定するステップが含まれることを特徴とする、実施態様4に記載の回路欠陥検出方法。

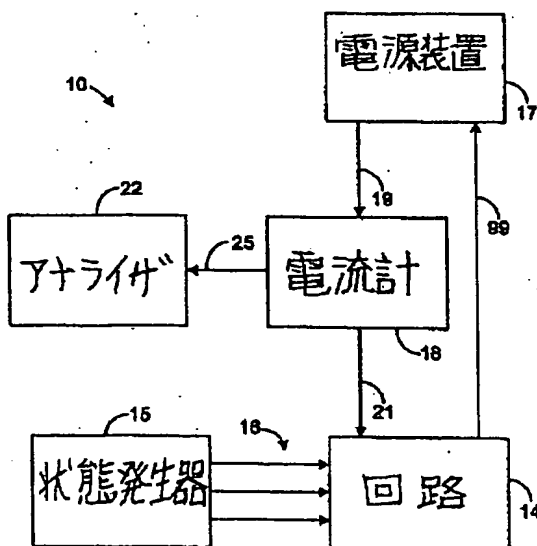
【0055】(実施態様8) さらに、複数の状態における複数の回路(14)に関する電源電流の値を示す信号を受信するステップと、前記回路(14)のそれぞれについて、それぞれの第1の信号と、それぞれの第2の信号を選択するステップと、前記選択ステップにおいて選

扱された前記信号の値に基づいて前記しきい値を決定するステップと、前記回路のそれぞれに関する前記それぞれの第1の値対前記それぞれの第2の信号の値をグラフにするステップと、前記グラフの回帰を実施するステップと、前記グラフから異常点を除去するステップが含まれていることを特徴とする、実施態様4に記載の回路欠陥検出方法。

【0056】（実施態様9）回路（14）内の欠陥を検出するための方法であって、複数の回路（14）を設けるステップと、前記回路（14）と関連した電源電流の値を示す信号を発生するステップと、前記信号の値を解析するステップと、前記解析ステップに基づいて、定数値を決定するステップと、回路（14）を選択するステップと、前記決定ステップの後、前記回路（14）を第1の状態にするステップと、前記回路（14）が前記第1の状態にある場合、前記回路（14）の電源電流の第1の値を示す第1の信号を発生するステップと、前記定数値及び前記第1の信号に基づいてしきい値を決定するステップと、前記第1の回路（14）を別の状態にするステップと、前記回路（14）が前記別の状態にある場合、前記電源電流の第2の値を示す第2の信号を発生するステップと、前記第2の信号の値が前記第1のしきい値を超えるか否かを判定するステップが含まれている、回路欠陥検出方法。

【0057】（実施態様10）さらに、前記複数の回路（14）のそれぞれについて、前記解析ステップにおいて解析される前記信号の第1の値のそれぞれと第2の値

【図1】



のそれぞれを選択するステップと、前記第1の値のそれぞれに対する前記第2の値のそれぞれをプロットしてグラフを作図するステップと、前記作図するステップにおいて作図されたグラフの前記値の回帰を実施するステップが含まれることを特徴とする、実施態様9に記載の回路欠陥検出方法。

【図面の簡単な説明】

【図1】本発明による試験システムのブロック図である。

10 【図2】図1のアナライザを用いるコンピュータ・システムのブロック図である。

【図3A】図1の試験システムのアーキテクチャ、機能、及び、動作を表したフローチャートである。

【図3B】図1の試験システムのアーキテクチャ、機能、及び、動作を表したフローチャートである。

【図4】試験信号と図1の試験システムによって被試験回路の状態を対比したグラフである。

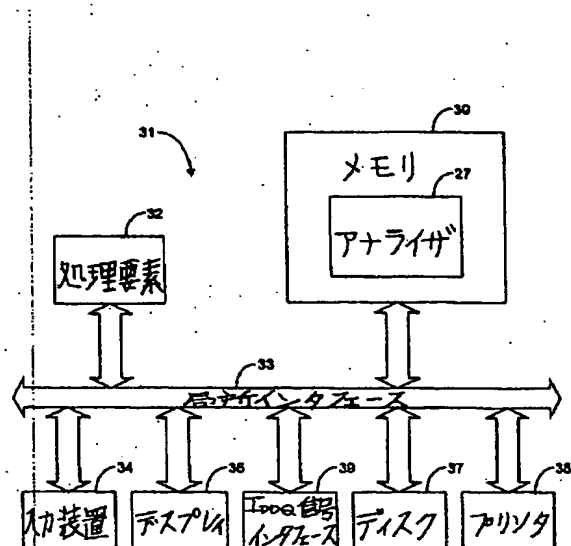
【図5】「異常点マージン値」及びm及びbの値を導き出すために測定される各回路に関する最大試験信号値と最小試験信号値を対比したグラフである。

【図6】線形回帰後における図5のグラフである。

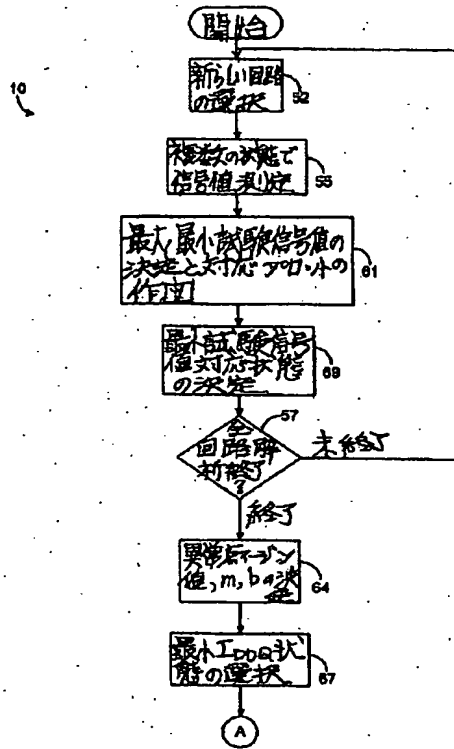
【符号の説明】

- 10 欠陥検出システム
- 14 回路
- 17 電源装置
- 18 電流計
- 22 アナライザ

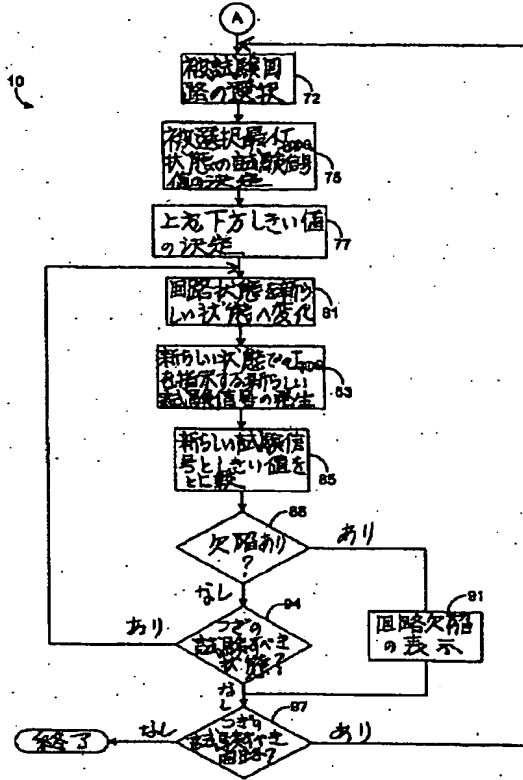
【図2】



【図3A】

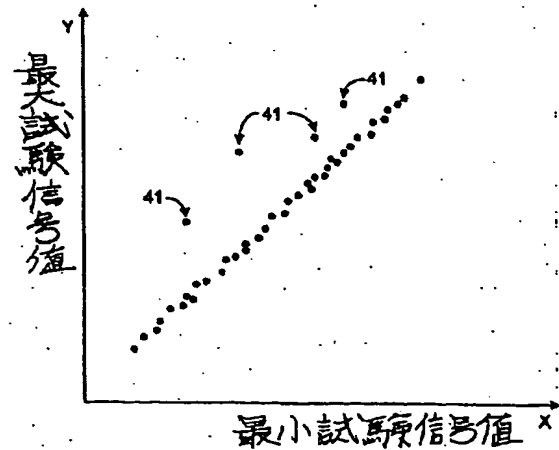
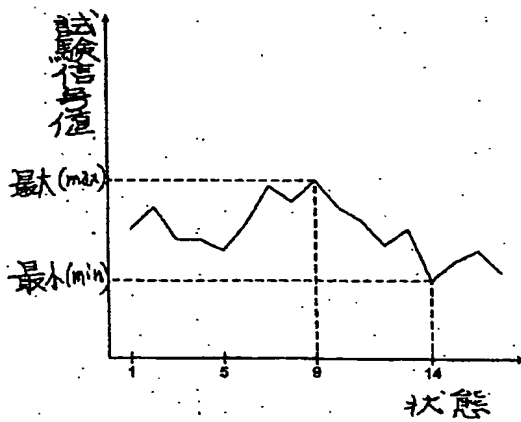


【図3B】

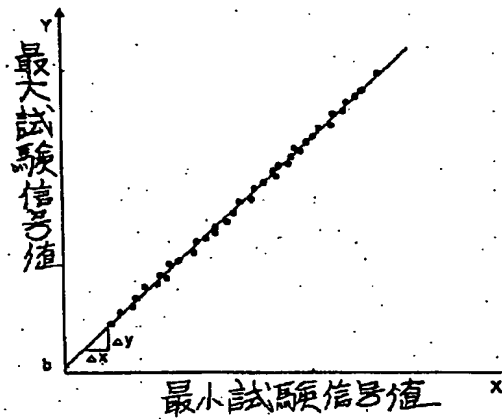


【図5】

【図4】



【図6】



フロントページの続き

(71)出願人 399117121

395 Page Mill Road P
alo Alto, California
U. S. A.

(72)発明者 ビクター・ジョハンセン

アメリカ合衆国カリフォルニア州サンタ
ララ クロスバイ・コート 2754

(72)発明者 ペター・マクスウェル

アメリカ合衆国カリフォルニア州サニーベ
イル キティマット・プレイス 1417